



PROJETO E SIMULAÇÃO DE UM CONVERSOR ANALÓGICO-DIGITAL CMOS DE 3BITS VLSI PERSONALIZÁVEL DE 180 NM NO AMBIENTE COMPUTACIONAL LTSPICE VXII

G. D. Viana¹, G. T. Lima¹, R. Pasiani¹, S. T. Kofuji², A. M. De Oliveira¹.

¹ IFSP, gabriel.dinis@aluno.ifsp.edu.br, giovanna.turano@aluno.ifsp.edu.br, raphael.pasiani@aluno.ifsp.edu.br, amanicoba@ifsp.edu.br, ² EPUSP, kofugi@usp.br.

Resumo - O processo de conversão analógica-digital é mais complicado e mais demorado que o de conversão digital-analógica. Para tanto, existem diversas arquiteturas para a conversão analógico-digital, cada uma com a sua peculiaridade. Este relatório mostra o experimento de um conversor analógico-digital do tipo paralelo (*flash*) atuando em um circuito integrado simulado no software LTSpice XVII. O objetivo é mostrando a grande vantagem deste conversor, que é a sua alta velocidade de conversão. Esta característica se deve a característica do sinal analógico de entrada ser comparado diretamente e simultaneamente com cada nível de tensão de referência, respeitando uma lógica aplicada ao sistema por componentes digitais. Essa característica permite sua utilização em frequência de ordem de 100 GHz. O conversor flash é constituído essencialmente por divisores resistivos e comparadores, sendo um circuito simples de se construir.

Palavras-chave: conversor flash; analógico para digital; CMOS; circuito personalizável; simulação computacional.

INTRODUÇÃO

Com as inovações tecnológicas houve um grande aumento na interação entre equipamentos, que por sua vez operam em uma ampla variedade de sinais de tempo contínuo [6]. Esses sinais incluem a voz, imagens médicas, sonar, radar, telecomunicações (terrestres ou por satélites), instrumentações, eletrônicos e sensores [2], [3], [4], [6]. O sinal digital é amplamente utilizado na linguagem dos processadores e dispositivos que utilizamos, desta forma a conversão do analógico para o digital assume a sua importância de simplificar a arquitetura dos circuitos. Os circuitos digitais são mais simples em sua composição física e complexos no que tange as possibilidades de programação.

Os conversores analógico-digitais (A/D) atuam na transformação de uma grandeza analógica em um valor digital. Estes, por muitas vezes, dependem de alta velocidade de conversão do sinal analógico para o digital (A/D) sem latência. Da mesma forma devem ser capazes de identificar o intervalo de equalização que contém o sinal de analógico de entrada.

Para atender aos requisitos, a arquitetura de conversão ideal é a *flash*. Estes são modulares, sendo possível variar a resolução e o consumo de energia por conversão [1], [3]. A conversão é realizada pela comparação do sinal de entrada com os pontos nos intervalos de quantização [1], [5]. O resultado do sistema de comparadores destaca o limite em que a entrada é maior que um dos limites, fornecendo informações que podem então ser transformadas em informações codificadas digitais. Como os comparadores encontram-se em paralelo um com o outro, o resultado da conversão é rapidamente apresentado, comparando-se com um *flash* [1], [5]. Entretanto, para conversões com mais de 8 bits de resolução, este conversor exige uma alta dissipação de potência, esta aumenta a cada ciclo de conversão [4].

O conversor A/D foi simulado no LTSpice XVII e possui uma tensão de conversão de 0 a 9,15V e 3 bits de resolução, usando o modelo de conversor CMOS de 3 bits e VLSI personalizável de 180 nm.

DESENVOLVIMENTO

O conversor de sinal A/D do tipo flash foi projetado no simulador LTSpice XVII com a *foundry* de componentes CMOS Mosis Wafer Electrical Foundry IBM 7WL_4LM_ML_HK 180nm em conjunto com a biblioteca de portas lógicas CMOS VLSI 180 nm disponibilizada nas disciplina EDGE5. Essa biblioteca é composta por componentes digitais (portas lógicas inversora, *AND* e *OR*) que consideram a tensão na fonte de alimentação para gerar o sinal de saída. Assim estas funcionam tal qual o circuito integrado composto por componentes CMOS e resistores (que formam a lógica do inversor). O circuito integrado de cada componente considera fatores reais de perda e perturbação para a obtenção da saída.

O conversor proposto possui quatro fontes de tensão, duas são de alimentação e possuem sinais de corrente contínua (CC). A primeira é a tensão de alimentação dos comparadores e que passa pelos resistores (V_{cc2}) de 9,15V e a segunda é a tensão de alimentação das portas lógicas (V_{cc}) de 5V. As duas últimas são os sinais a serem convertidos, o sinal principal (V_a) é cossenoidal e foi utilizado para as simulações, já o segundo (V_{aa}) é um pulso único triangular com pico em 40 μ s, ele foi utilizado para comparar a resposta do conversor, como apresenta a Fig. 1.

O conversor desenvolvido foi separado em três estágios. O primeiro é responsável pela comparação de V_a das entradas V_{c1} à V_{c8} , resultantes das quedas de tensão de V_{cc2} pelos resistores. Para o comparador foram utilizados os amplificadores operacionais do tipo AD549, com alimentação positiva de V_{cc2} . As saídas deste estágio serão as tensões AO1 ao AO8. O segundo estágio é formado por uma malha composta dos sinais de saída do comparador e seus sinais invertidos por portas lógicas inversoras alimentadas pelo sinal V_{cc} (5V). O terceiro estágio consiste na codificação do sinal analógico para o digital a partir de portas lógicas AND e OR. Os bits obtidos por este estágio são uma representação equivalente ao sinal de entrada. A Fig. 1 mostra o diagrama esquemático dos três estágios do conversor A/D do tipo flash.

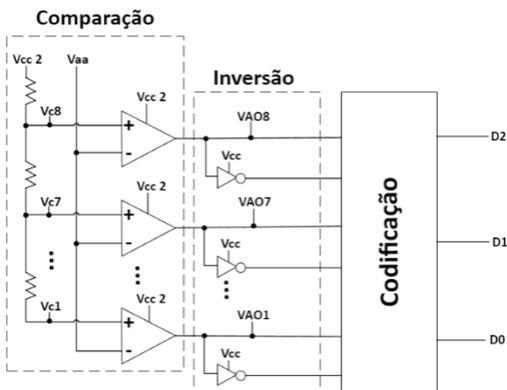


Figura 1 – Diagrama dos 3 estágios do conversor A/D flash.

RESULTADOS DE SIMULAÇÃO

Ao se comparar as onda de dados, temos que sempre que o sinal é baixo, as ondas comparadas caem para o nível inferior, e quando o sinal de dados está no nível alto, as ondas comparadas sobem para o nível alto. É possível observar que quanto menor o sinal comparado, menor será a largura do “vale” formado nos sinais de saída saídas (AO1 ao AO8), como disposto na Fig. 2.

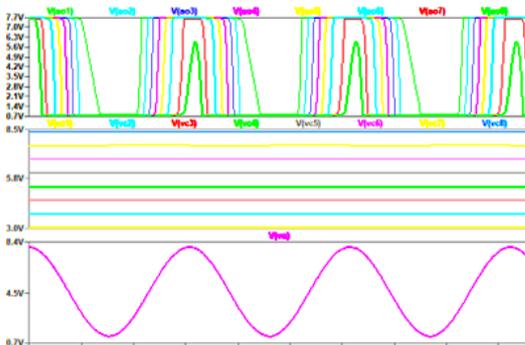


Figura 2 – Comparação entre Va e Vc (1 ao 8) gerando os sinais AO (1 ao 8).

Os sinais invertidos provenientes da etapa inversora estão dispostos na Fig. 3, e se comparados com os sinais não invertidos, é possível observar que ambos possuem a mesma amplitude, porém eles estão deslocados no eixo das abscissas, como disposto na Fig. 4.

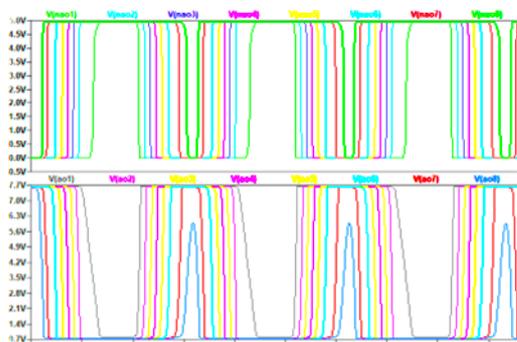


Figura 3 – Plotagem dos sinais invertidos e não invertidos.

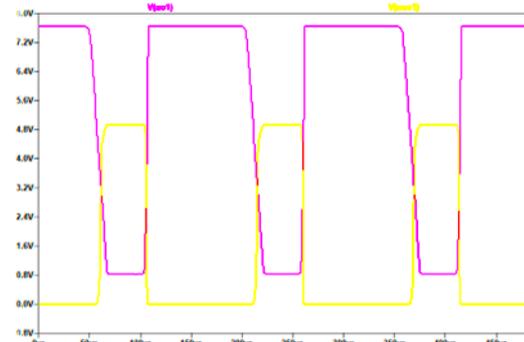


Figura 4 – Plotagem de comparação da amplitude de AO1 e NAO1.

A primeira parte da etapa de codificação é composta por portas lógicas do tipo AND. A partir de uma lógica realizada com as saídas do último estágio obtemos sinais mais “quadriculados”, nomeados de V1 até V8, mostrados na Fig. 5.

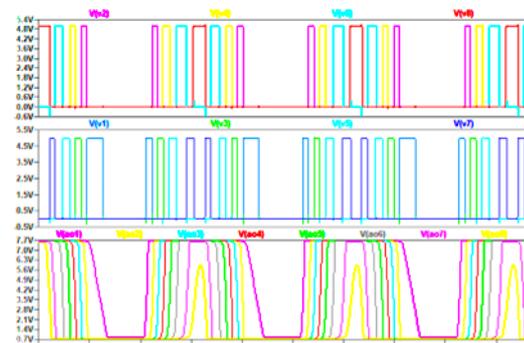


Figura 5 – Comparação das tensões AO1 à AO8 com V1 à V8.

A última parte do conversor é composta por portas lógicas do tipo OR, resultando em 3 bits, dos quais D0 é o LSB (*Less Significant Bit* - Bit Menos Significativo) e D2 representa o MSB (*More Significant Bit* - Bit Mais Significativo). Cada bit é composto pela soma dos sinais de entrada. Em que, D0 é soma de V1, V3, V5, V7 e V8, D1 é a união de V2, V3, V6, V7 e V8 e D2 é a união de V4, V5, V6, V7 e V8, como mostra a Fig. 6.

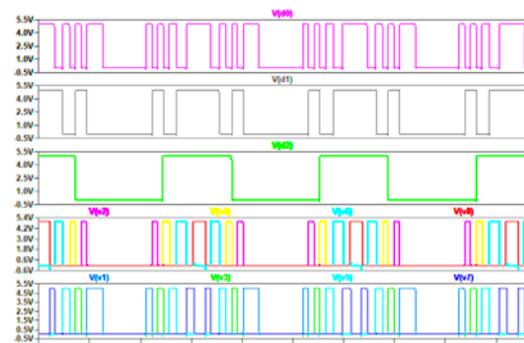


Figura 6 – Comparação das entradas V1 à V8 com as saídas codificadas D2, D1 e D0.

Se for trocada a fonte de dados para Vaa, no estágio de comparação, observa-se que cada valor de tensão das entradas de Vc1 à Vc8 gera um pulso quando a tensão atinge o valor de Vcc2, obtendo as tensões de AO1 à AO8. No estágio de codificação, como o sinal de dados possui uma característica linear,

os pulsos obtidos que formam os bits terão a mesma amplitude, como mostrado na Fig. 7.



Figura 7 – Comparação das entradas V1 à V8 com as saídas codificadas D2, D1 e D0, com a alimentação de dados Vaa.

No circuito simulado, optou-se por utilizar um comparador a mais, a fim de facilitar a visualização da transição entre os ciclos do sinal analógico. Este serve para preencher uma “lacuna” que ficaria entre as contagens dos bits, ou seja, quando se inicia a contagem feita pela borda de descida do pulso de *clock*, como segue na Fig. 8

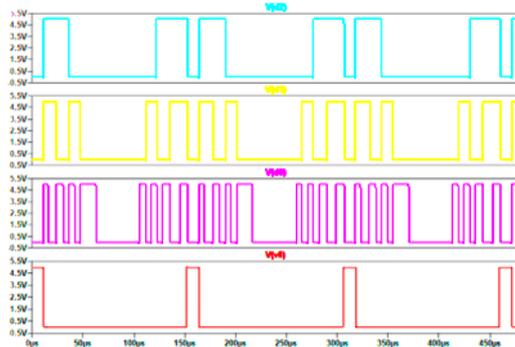


Figura 8 – Plotagem dos 3 bits sem V8 e apenas de V8 para referência da lacuna formada pela ausência dele nos bits.

CONCLUSÕES

Como o esperado, as componentes resultantes da etapa de comparação possuem uma amplitude dependente da linearidade dos dados que serão convertidos. A fidelidade ou resolução da onda digital (convertida) com a onda analógica (não convertida) irá depender de quantas componentes resultantes da etapa de comparação foram feitas e da tensão de entrada do sinal analógico, obtendo-se mais bits. A resolução pode ser obtida pelo fundo de escala (tensão máxima do sinal de entrada) dividido pelo número de comparadores analógicos necessários. Em contrapartida, o circuito necessitaria de mais componentes e conseqüentemente o preço aumentaria. Neste caso, um conversor A/D flash de 3 bits, como o simulado, necessita de 7 comparadores analógicos, já um com 5 bits necessitaria de 31 comparadores, ou seja $(2^n - 1)$ pontos de transição, sendo n o número de bits [4], [5]. Também foi comprovado na simulação a alta velocidade de conversão do conversor flash. A conversão ocorreu praticamente em tempo real, isso pode ser observado no tempo da simulação que está na escala de 10^{-6} . A desvantagem deste tipo de conversor está no preço do circuito, levando em conta a quantidade de componentes utilizada no circuito

simulado que digitaliza sinais em apenas dois bits. Por esse motivo, o conversor simulado é mais indicado para digitalizar sinais de alta frequência (como áudio e vídeo), na simulação utilizou-se um sinal de dados com uma frequência de 6,5 kHz.

REFERÊNCIAS

- [1] P. E. ALLEN, and D. R. HOLBERG, “CMOS Analog Circuit Design”, Oxford University Press, 2002.
- [2] D. W. CLINE, and P. R. GRAY, “A Power Optimized 13-b 5 Msamples/s Pipelined Analog-to-Digital Converter in 1.2 μ m CMOS”, IEEE Journal of Solid-State Circuits, vol. 31, no. 3, Mar. 1996.
- [3] K. GULATI, H. LEE, “A Low-Power Reconfigurable Analog-to-Digital Converter”, IEEE Journal of Solid-State Circuits, vol. 36, no. 12, Dec. 2001.
- [4] S. H. LEWIS, et al, “A 10-b 20-Msample / s Analog-to-Digital Converter” IEEE Journal of Solid-State Circuits, vol. 27, no. 3, Mar. 1992.
- [5] F. MALOBERG, “Data Converters”, Dordrecht: Springer, 2007.
- [6] R. H. WALDEN, “Analog-to-Digital Converter Survey and Analysis”, IEEE Journal, vol. 17, no. 4, April 1999.