

Преглед симулатора погодних за држање наставе архитектуре и организације рачунара

Захарије Радивојевић, Саша Стојановић, Милош Цветановић
Универзитет у Београду – Електротехнички факултет, Београд, Србија

Архитектура и организација рачунара

Основи архитектуре рачунара	Организација вон Нојманове машине Формати инструкција Дохватање инструкција; декодовање и извршавање инструкција Регистри и регистарски фајлови Типови инструкција и начини адресирања Потпрограми и механизам повратка Програмирање на асемблеру Улаз-излаз: технике и прекиди Остали концепти
Меморијски подсистем	Меморијски хијерархиски систем Кодирање, смештање и интедритет података Електронске, магнетне и оптичке технологије Оперативна меморија: организација, карактеристике и перформансе Кашњење, циклуси, опсеци, преклапање Кеш меморија Виртуелна меморија Меморијске технике: DRAM, EPROM, FLASH Поузданост меморијског система; детекција и исправљање грешака
Интерфејси и комуникација	Основи улаза-излаза: договарање, баферовање Технике рада: испитивање бита спремности, прекиди, DMA Прекиди: векторисан, приоритети, опслуживање, гнежђење Дизајн и повезивање меморијског система Магистрала: протоколи, арбитрација

Архитектура и организација рачунара

Улазно-излазно подсеистем	Системи за складиштење података Основне периферије: тастатура и миш РАИД архитектуре Видео контрола Перформансе СМАРТ технологија и откривање грешака Повезивање процесора на мрежне интерфејсе
Системски дизајн процесора	Интерфејси: такт, контрола, магистрала података и адреса Декодирање адреса и повезивање меморије Основни паралелни и серијски интерфејс Тајмери Системски фирмвер
Организација процесора	Имплементација вон Нојманове машине Појединачне и вишеструке магистрале података Архитектура скупа инструкција Однос архитектуре и преводилаца Имплементација инструкција Управљачка јединица: ожичана и микропрограмска реализација Аритметичке јединице за множење и дељење Увод у проточну обраду Трендови у рачунарској архитектури: CISC, RISC, VLIW Увод у паралелизам на нивоу инструкција (ILP) Хазарди у проточној обради: структурни, подаци и контрола Смањење ефеката хазарда

Карактеристике одабраних симулатора

		Доступност		
		Комерцијална	Бесплатан	Отворени код
Програмски језик	Јава	-	COCONUT, CPU Sim, DLD-VISU, EASE, Easy CPU, EDCOMP, EDUCache, EduMIPS64, HASE, Java based Virtual Lab, JCacheSim, MARIE, MIPS X-Ray, SDLDS, Simple CPU Architecture, VSMIS	JHDL, Logisim
	С, С++	-	FastCache, SIMCA, SimFlex, SimOS, SimpleScalar	DigLC2, DLXview, RSIM
	Пајтон/С++	Simics	-	M5
	Остало	CCSTUDIO, CodeWarrior, ISE Design Suite, Quartus II, Virtual Vulcan	DEEDS, ESCAPE, HASE-Dinero, RM, SMOK, ViLLE plug-in, Visual CPU simulator, VSDS	-

Критеријуми за евалуацију

Одабир се спроводи у зависности од:

- Критеријуми условљени приступом читавој области
 - Примењени образовни модел
 - Области које курс обухвата
- Критеријуми условљени нивоом очекиваних резултата симулације
 - Начин приказа резултата симулације
 - Начин праћење резултата симулације

Критеријуми 1 – Конфигурабилност

Нивои за поделу симулатора су:

- Г1 – компоненте омогућавају комплетан дизајн;
- Г2 – компоненте омогућавају преглед већ реализованих сложених система и њихову параметризацију;
- Г3 – параметризација и конфигурабилност компонената у одређеним деловима симулираног система док је остатак симулираног система непроменљив.

Критеријуми 2 – Теме

Разматране групе тема су:

- АР – Архитектура рачунара;
- МЕМ – Меморијски подсистем;
- УИ – Улазно-излазни подсистем;
- ОР – Организација рачунара.

Критеријуми 3 – Приказ резултата

Групе за поделу симулатора су:

- ЗК - Збирни приказ коначних резултата;
- ПК - Појединачни приказ коначних резултата;
- ЗМ - Збирни приказ међурејултата;
- ПМ - Појединачни приказ међурејултата.

Критеријуми 4 – Временски квант

Групе за поделу симулатора су:

- Такт – Праћење симулације на нивоу такта;
- Инструкција – Праћење симулације на ниво појединачних инструкција;
- Програм – Праћење симулације након извршења читавог програма.

Евалуација одабраних симулатора

Назив	Аутор	К1	К2	К3	К4
COCONUT	University of Belgrade, Serbia	Г3	АР,МЕМ,УИ,ОР	ПМ	Такт
EDCOMP	University of Belgrade, Serbia	Г2	АР,МЕМ,УИ,ОР	ПМ	Такт
EduMIPS64	University of Catania, Italy	Г2	АР,ОР	ПМ	Такт
HASE	University of Edinburgh, UK	Г1	МЕМ,УИ,ОР	ПМ	Такт
Logisim	Hendrix College, USA	Г1	ОР	ПМ	Такт
M5	The University of Michigan, USA	Г1	АР,МЕМ,УИ,ОР	ЗК	Такт
Quartus II	Altera Corporation	Г1	МЕМ,УИ,ОР	ПМ	Такт
SDLDS	University of Belgrade, Serbia	Г1	ОР	ПМ	Такт
SimFlex	Carnegie Mellon University, USA	Г2	АР,МЕМ,УИ,ОР	ЗК	Инструкција
Simics	Virtutech AB Stockholm, Sweden	Г1	АР,МЕМ,УИ,ОР	ЗК	Инструкција
SimOS	Stanford University, USA	Г2	АР,УИ,ОР	ЗК	Програм
Simple CPU Architecture	Redeemer University College, Canada	Г2	АР,ОР	ПМ	Такт
SimpleScalar	University of Wisconsin-Madison, USA	Г2	АР,ОР	ЗК	Такт
SMOK	University of Washington, USA	Г1	МЕМ,ОР	ПМ	Такт
VSDS	University of Belgrade, Serbia	Г1	АР,МЕМ,УИ,ОР	ПМ	Такт
VSMIS	University of Belgrade, Serbia	Г2	МЕМ	ПМ	Такт
...					

Преглед коришћених симулатора

- **Основи рачунарске технике 1 (OPT1), семестар 2.**
 - Логичко пројектовање, анализа и синтезу комбинационих и секвенцијалних мрежа, модули, основе операционе и управљачке јединице рачунара.
 - Симулатори: VSDS, Logisim
- **Практикум из основа рачунарске технике (ПОРТ), семестар 2.**
 - Практична примене обрађених концепата и области са предмета OPT1.
 - Коришћена окружења: Altera Cyclone III и Cyclone V, Quartus II
- **Основи рачунарске технике 2 (OPT2), семестар 3.**
 - Логичко пројектовање уређаја, архитектура рачунара и организација рачунара.
 - Симулатори: COCONUT, Quartus II
- **Архитектура рачунара (АР), семестар 4.**
 - Архитектура рачунара, механизам прекида, основи меморијског подсистема, и основи улазно-излазног подсистема.
 - Симулатор: EDCOMP
- **Архитектура и организација рачунара 1 (AOP1), семестар 5.**
 - Кеш меморија, виртуелна меморија, преклапање приступа и проточна обрада.
 - Коришћени симулатори: VSMIS, +4

Основи рачунарске технике 1 (ОРТ1)

Logisim: main of Untitled

File Edit Project Simulate Window Help

The screenshot shows the Logisim software interface. On the left is a component library with categories like Gates, Plexers, Arithmetic, Memory, Input/Output, and Base. The main workspace contains a circuit diagram with two input pins labeled '0' and '1', two NOT gates, and two output pins labeled '0' and '1'. The circuit is connected such that the output of the top NOT gate is '1' and the output of the bottom NOT gate is '0'. A 'Pin' properties window is open at the bottom left, showing settings for the selected pin.

Pin	
Facing	East
Output?	No
Data Bits	1
Three-state?	No
Pull Behavior	Unchanged
Label	
Label Location	West
Label Font	SansSerif Plain 12

100%

Практикум из основа рачунарске технике (ПОРТ)

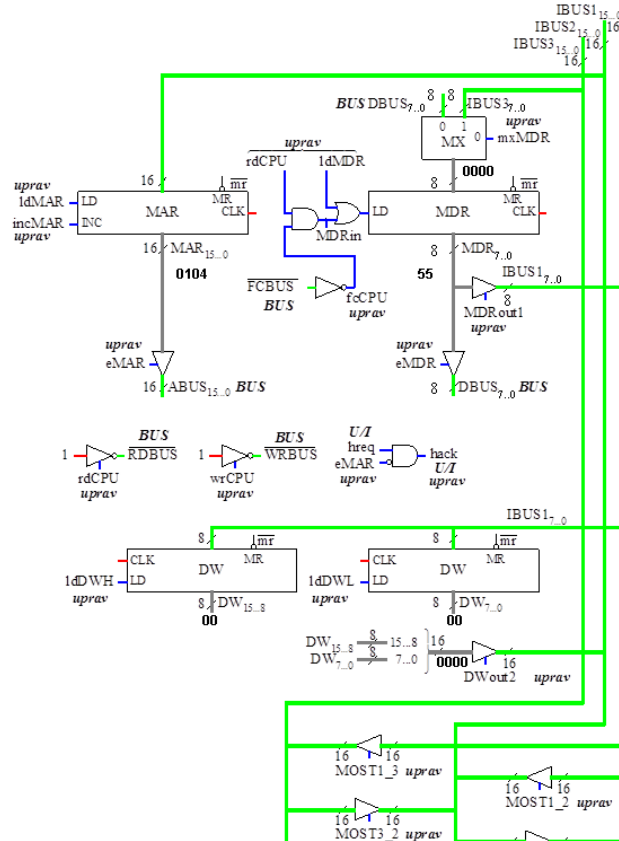


Основи рачунарске технике 2 (OPT2)

Simulator jednoadresnog procesora sa horizontalnim mikroprogramskim upravljanjem

File View Help

- System
- Processor
 - Operaciona jedinica procesora
 - Bus
 - Fetch 1
 - Fetch 2
 - Fetch 3
 - Addr
 - Exec 1
 - Exec 2
 - Exec 3
 - Exec 4
 - Intr 1
 - Intr 2
 - Intr 3
- Upravljacka jedinica procesora
 - Signali operacione jedinice
 - Signali upravljacke jedinice
- Memorija
 - Operaciona jedinica
 - Upravljacka jedinica



Registers

AB	55	IR1	e0	R4	0000	R15	0000	R26	0000
AW	0000	IR2	55	R5	0000	R16	0000	R27	0000
BB	55	IR3	00	R6	0000	R17	0000	R28	0000
BR	00	IVTP	0000	R7	0000	R18	0000	R29	0000
BW	0000	MAR	0104	R8	0000	R19	0000	R30	0000
CW	0000	MDR	55	R9	0000	R20	0000	R31	0000
DWH	00	PC	0105	R10	0000	R21	0000	SP	1000
DWL	00	R0	0000	R11	0000	R22	0000		
GPRAR	00	R1	0000	R12	0000	R23	0000		
IMR	00ff	R2	0000	R13	0000	R24	0000		
IR0	30	R3	0000	R14	0000	R25	0000		

Change Cancel

CPU clock = 73
Tcpu = 0
PC = 105

CLK+
INSTRUCTION+
PROGRAM+
GO TO:

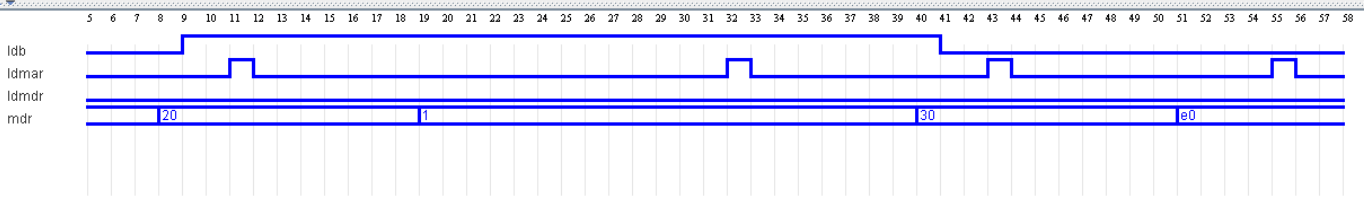
Control unit info
Faza izvrsavanja:
!Provera starta!
Microprogram:
br (if !START then
mdr00);

Log

```

00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
40100004800000000000000000000000
00000000000000000000000000000000
04040000000000000000000000000000
00400000004000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00404000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00000000000000000000000000000000
00404000000000000000000000000000
00400000010000000000000000000000
10000000020002000000000000000000
00000000000000000000000000000000
00000000000407100600000000000000
00000000000000000000000000000000
00000000000000000000000000000000
    
```

- MEMORY
- REGISTERS
- FLIPFLOPS
- RESET
- RESET WITHOUT MEM



Архитектура рачунара (АР)

SP ECS Edukacioni racunarski sistem - LAB1

File View Step Utility Window Help

PROCESOR

Operaciona jedinica

M15 ... M0 - interna magistrala

0100

16

Registri

Interfejs

Operacije

Prekidi

Upravljacka jedinica

sistemska magistrala

magistrala podataka DBUS highZ 16

adresna magistrala ABUS highZ 16

upravljacka magistrala RDBUS

WRBUS

FCBUS

hldr hlda DMA1.x

intr3 intr2 intr1 DMA1.x KP2.x KP1.x

inta3 inta2 inta1

inm FAULT

PROCESOR

MEMORIJA

DMA

PERIFERIJA 2

PERIFERIJA 1

Simulation parameters

(Clk+) *: 0

(Ins+) *: 0

(Prg+) time : 0

n * (Clk+) stop :

n * (Ins+) stop :

(Prg+) time stop :

time = 0

inst. = Instruction fetch

Info		Command		
Sequence	Status	Navigation	Misc	Simulation
T = 00 PCout, MARin, Xin * Faza citanja instrukcije * PC u MAR i X ** Ozicena realizacija upravljacke jedinice	PC = 0100 T = 0 Tclk = 0	UP CPU hierar. Main	More Clear Help	Clk+ Ins+ Prg+

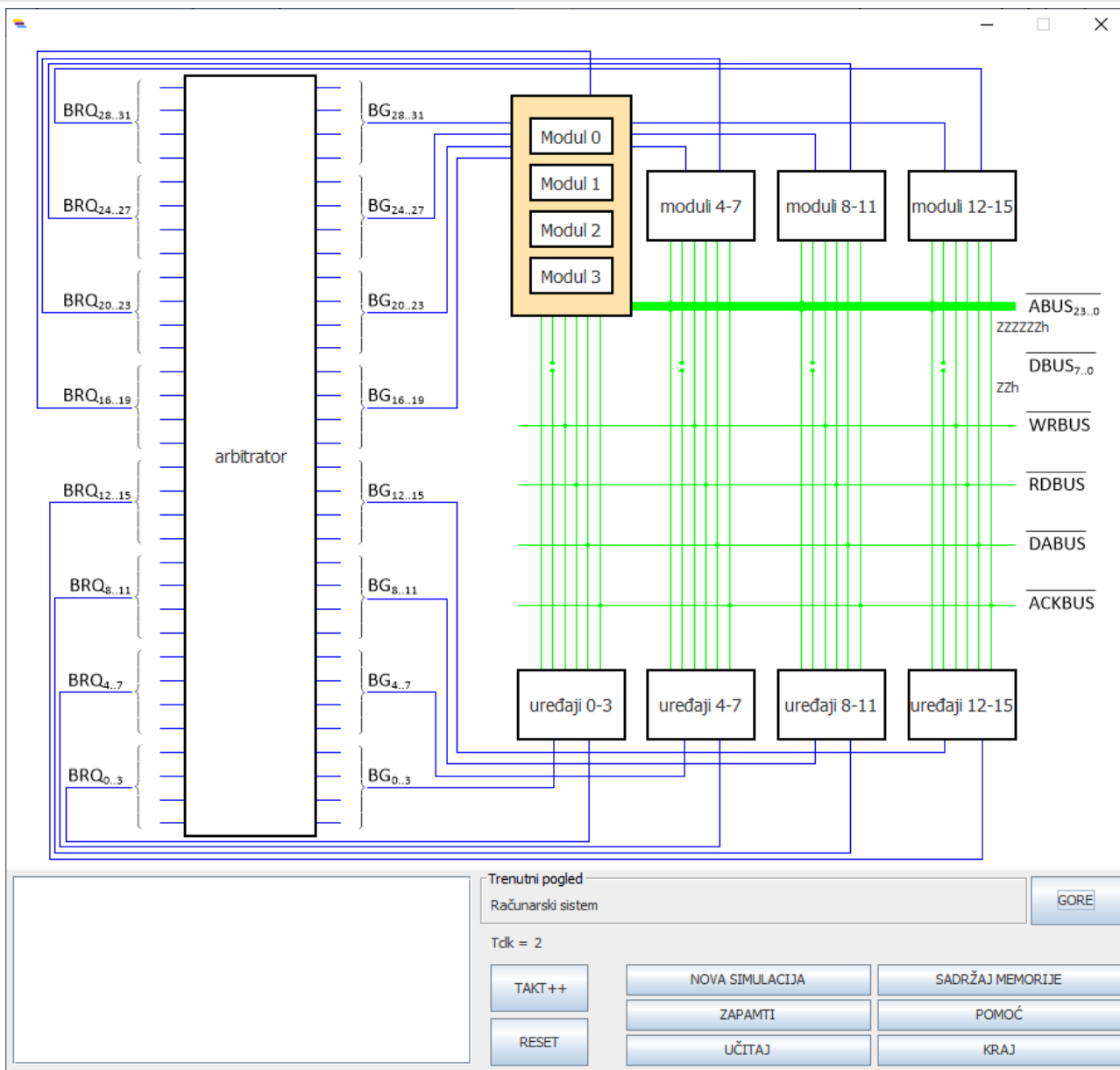
Hardware: CPU - Central Processing Unit
Position: Central Processing Unit

Clock stop: -
Status: time = 0

cpu

mem

Архитектура и организација рачунара 1 (AOP1)



Закључак

- Нема једног симулатора који се може користити без обзира на приступ изучавању одабраних области и од очекиваног нивоа детаља унутар симулатора.
- Користећи критеријуме описане у раду могуће је одредити симулаторе који би били кандидати за укључивање у наставу на појединим курсевима приликом изучавања појединих тема.
- На Електротехничком факултету Универзитета у Београду где се област архитектуре и организације рачунара изучава у оквиру 5 курсева и где се користи 10 различитих симулатора од којих су 6 поменути у овом раду.

ХВАЛА НА ПАЖЊИ!!!