

# Преглед симулатора погодних за држање наставе архитектуре и организације рачунара

---

Захарије Радивојевић, Саша Стојановић, Милош Цветановић  
*Универзитет у Београду – Електротехнички факултет, Београд, Србија*

# Архитектура и организација рачунара

<b>Основи архитектуре рачунара</b>	Организација вон Нојманове машине Формати инструкција Дохватање инструкција; декодовање инструкција и извршавање инструкција Регистри и регистарски фајлови Типови инструкција и начини адресирања Потпрограми и механизам повратка Програмирање на асемблеру Улаз-излаз: технике и прекиди Остали концепти
<b>Меморијски подсистем</b>	Меморијски хијерархиски систем Кодирање, смештање и интедритет података Електронске, магнетне и оптичке технологије Оперативна меморија: организација, карактеристике и перформансе Кашњење, циклуси, опсеци, преклапање Кеш меморија Виртуелна меморија Меморијске технике: DRAM, EPROM, FLASH Поузданост меморијског система; детекција грешака и исправљање грешака
<b>Интерфејси и комуникација</b>	Основи улаза-излаза: договарање, бафровање Технике рада: испитивање бита спремности, прекиди, DMA Прекиди: векторисан, приоритети, опслуживање, гнежђење Дизајн и повезивање меморијског система Магистрала: протоколи, арбитрација

# Архитектура и организација рачунара

<b>Улазно-излазно подсеистем</b>	Системи за складиштење података Основне периферије: тастатура и миш РАИД архитектуре Видео контрола Перформансе СМАРТ технологија и откривање грешака Повезивање процесора на мрежне интерфејсе
<b>Системски дизајн процесора</b>	Интерфејси: такт, контрола, магистрала података и адреса Декодирање адреса и повезивање меморије Основни паралелни и серијски интерфејс Тајмери Системски фирмвер
<b>Организација процесора</b>	Имплементација вон Нојманове машине Појединачне и вишеструке магистрале података Архитектура скупа инструкција Однос архитектуре и преводаца Имплементација инструкција Управљачка јединица: ожичана реализација, микропрограмска реализација Аритметичке јединице за множење и дељење Увод у проточну обраду Трендови у рачунарској архитектури: CISC, RISC, VLIV Увод у паралелизам на нивоу инструкција (ILP) Хазарди у проточној обради: структурни, подаци и контрола Смањење ефеката хазарда

# Карактеристике одабраних симулатора

		Доступност		
		Комерцијална	Бесплатан	Отворени код
Програмски језик	Јава	-	COCONUT, CPU Sim, DLD-VISU, EASE, Easy CPU, EDCOMP, EDUCache, EduMIPS64, HASE, Java based Virtual Lab, JCachesim, MARIE, MIPS X-Ray, SDLDS, Simple CPU Architecture, VSMIS	JHDL, Logisim
	С, С++	-	FastCache, SIMCA, SimFlex, SimOS, SimpleScalar	DigLC2, DLXview, RSIM
	Пајтон/С++	Simics	-	M5
	Остало	CCSTUDIO, CodeWarrior, ISE Design Suite, Quartus II, Virtual Vulcan	DEEDS, ESCAPE, HASE-Dinero, RM, SMOK, ViLLE plug-in, Visual CPU simulator, VSIDS	-

# Критеријуми за евалуацију

Одабир се спроводи у зависности од:

- Критеријуми условљени приступом читавој области
  - Примењени образовни модел
  - Области које курс обухвата
- Критеријуми условљени нивоом очекиваних резултата симулације
  - Начин приказа резултата симулације
  - Начин праћење резултата симулације

# Критеријуми 1 – Конфигурабилност

Нивои за поделу симулатора су:

- Г1 – компоненте омогућавају комплетан дизајн;
- Г2 – компоненте омогућавају преглед већ реализованих сложених система и њихову параметризацију;
- Г3 – параметризација и конфигурабилност компонената у одређеним деловима симулираног система док је остатак симулираног система непроменљив.

## Критеријуми 2 – Теме

Разматране групе тема су:

- АР – Архитектура рачунара;
- МЕМ – Меморијски подсистем;
- УИ – Улазно-излазни подсистем;
- ОР – Организација рачунара.

## Критеријуми 3 – Приказ резултата

Групе за поделу симулатора су:

- ЗК - Збирни приказ коначних резултата;
- ПК - Појединачни приказ коначних резултата;
- ЗМ - Збирни приказ међурејултата;
- ПМ - Појединачни приказ међурејултата.



## Критеријуми 4 – Временски квант

Групе за поделу симулатора су:

- Такт – Праћење симулације на нивоу такта;
- Инструкција – Праћење симулације на ниво појединачних инструкција;
- Програм – Праћење симулације након извршења читавог програма.

# Евалуација одабраних симулатора

Назив	Аутор	К1	К2	К3	К4
<b>COCONUT</b>	University of Belgrade, Serbia	Г3	АР,МЕМ,УИ,ОР	ПМ	Такт
<b>EDCOMP</b>	University of Belgrade, Serbia	Г2	АР,МЕМ,УИ,ОР	ПМ	Такт
<b>EduMIPS64</b>	University of Catania, Italy	Г2	АР,ОР	ПМ	Такт
<b>HASE</b>	University of Edinburgh, UK	Г1	МЕМ,УИ,ОР	ПМ	Такт
<b>Logisim</b>	Hendrix College, USA	Г1	ОР	ПМ	Такт
<b>M5</b>	The University of Michigan, USA	Г1	АР,МЕМ,УИ,ОР	ЗК	Такт
<b>Quartus II</b>	Altera Corporation	Г1	МЕМ,УИ,ОР	ПМ	Такт
<b>SDLDS</b>	University of Belgrade, Serbia	Г1	ОР	ПМ	Такт
<b>SimFlex</b>	Carnegie Mellon University, USA	Г2	АР,МЕМ,УИ,ОР	ЗК	Инструкција
<b>Simics</b>	Virtutech AB Stockholm, Sweden	Г1	АР,МЕМ,УИ,ОР	ЗК	Инструкција
<b>SimOS</b>	Stanford University, USA	Г2	АР,УИ,ОР	ЗК	Програм
<b>Simple CPU Architecture</b>	Redeemer University College, Canada	Г2	АР,ОР	ПМ	Такт
<b>SimpleScalar</b>	University of Wisconsin-Madison, USA	Г2	АР,ОР	ЗК	Такт
<b>SMOK</b>	University of Washington, USA	Г1	МЕМ,ОР	ПМ	Такт
<b>VSDS</b>	University of Belgrade, Serbia	Г1	АР,МЕМ,УИ,ОР	ПМ	Такт
<b>VSMIS</b>	University of Belgrade, Serbia	Г2	МЕМ	ПМ	Такт
...					

# Преглед коришћених симулатора

## •Основи рачунарске технике 1 (ОРТ1), семестар 2.

- Логичко пројектовање, анализа и синтезу комбинационих и секвенцијалних мрежа, модули, основе операционе и управљачке јединице рачунара.
- Симулатори: VSDS, Logisim

## •Практикум из основа рачунарске технике (ПОРТ), семестар 2.

- Практична примене обрађених концепата и области са предмета ОРТ1.
- Коришћена окружења: Altera Cyclone III и Cyclone V, Quartus II

## •Основи рачунарске технике 2 (ОРТ2), семестар 3.

- Логичко пројектовање уређаја, архитектура рачунара и организација рачунара.
- Симулатори: COCONUT, Quartus II

## •Архитектура рачунара (АР), семестар 4.

- Архитектура рачунара, механизам прекида, основи меморијског подсистема, и основи улазно-излазног подсистема.
- Симулатор: EDCOMP

## •Архитектура и организација рачунара 1 (АОР1), семестар 5.

- Кеш меморија, виртуелна меморија, преклапање приступа и проточна обрада.
- Коришћени симулатори: VSMIS, +4

# Основи рачунарске технике 1 (ОРТ1)

Logisim: main of Untitled

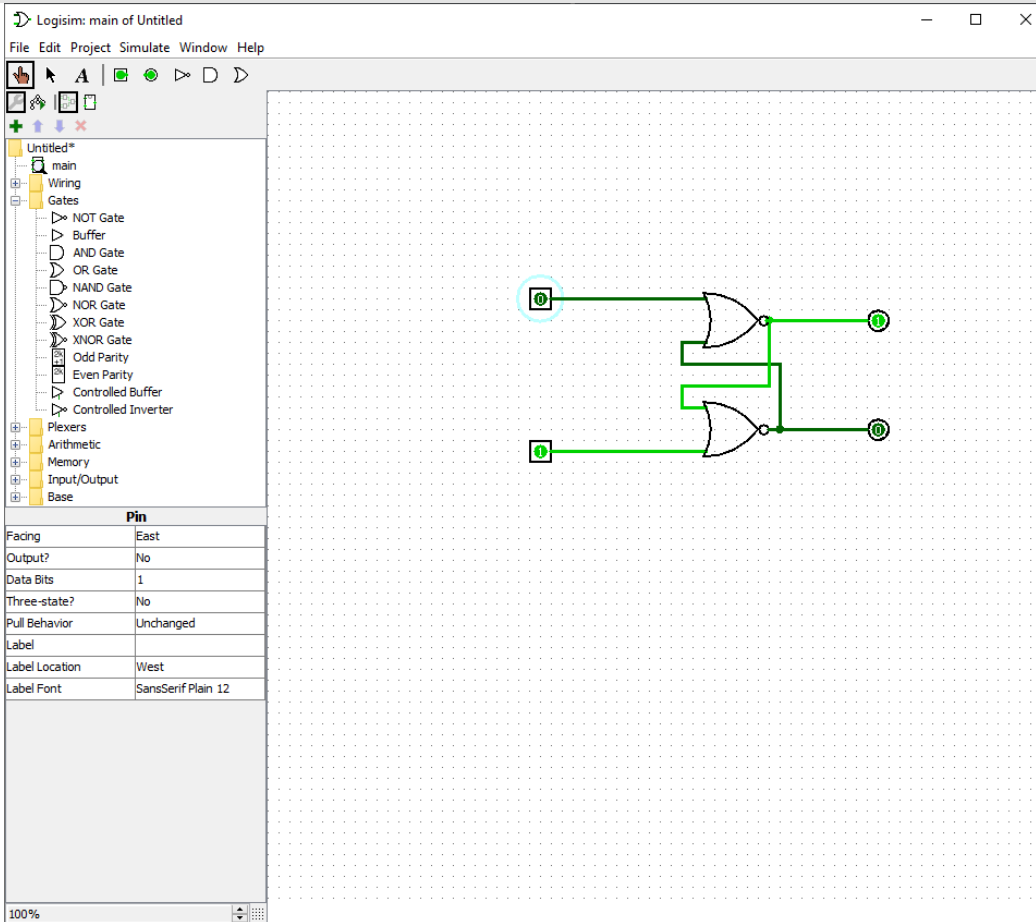
File Edit Project Simulate Window Help

Untitled\*

- main
  - Wiring
  - Gates
    - NOT Gate
    - Buffer
    - AND Gate
    - OR Gate
    - NAND Gate
    - NOR Gate
    - XOR Gate
    - XNOR Gate
    - Odd Parity
    - Even Parity
    - Controlled Buffer
    - Controlled Inverter
  - Plexers
  - Arithmetic
  - Memory
  - Input/Output
  - Base

Pin	
Facing	East
Output?	No
Data Bits	1
Three-state?	No
Pull Behavior	Unchanged
Label	
Label Location	West
Label Font	SansSerif Plain 12

100%



# Практикум из основа рачунарске технике (ПОРТ)





# Архитектура рачунара (AP)

SP ECS Edukacioni racunarski sistem - LAB1

File View Step Utility Window Help

The diagram illustrates the internal structure of a processor (PROCESOR) and its connection to the system bus (sistemska magistrala). The processor is divided into three main sections: Operaciona jedinica (Operational Unit), Upravljacka jedinica (Control Unit), and a central Interfejs (Interface). The Operaciona jedinica contains Registri (Registers) and Operacije (Operations), while the Upravljacka jedinica contains Prekidi (Interrupts). The Interfejs connects these internal components to the external system bus. The system bus is divided into three main channels: magistrala podataka (Data Bus, DBUS), adresna magistrala (Address Bus, ABUS), and upravljacka magistrala (Control Bus, RDBUS). The DBUS and ABUS are 16-bit buses, while the RDBUS is a multi-bit control bus. The DBUS and ABUS are labeled as highZ. The RDBUS is further divided into WRBUS (Write Bus) and FCBUS (Fetch Bus). The processor also has several interrupt lines (intr1, intr2, intr3) and data bus lines (hldr, hlda) connected to the system bus. The DMA1.x block is also shown connected to the system bus. The diagram also shows the connection to external components: MEMORIJA (Memory), DMA, PERIFERIJA 2 (Peripheral 2), and PERIFERIJA 1 (Peripheral 1).

**PROCESOR**

**Operaciona jedinica**

M15 ... M0 - interna magistrala

0100

16

Registri

Interfejs

Operacije

Prekidi

Upravljacka jedinica

sistemska magistrala

magistrala podataka DBUS highZ 16

adresna magistrala ABUS highZ 16

upravljacka magistrala RDBUS

WRBUS

FCBUS

hldr DMA1.x

hlda

intr3 DMA1.x

intr2 KP2.x

intr1 KP1.x

inta3

inta2

inta1

inm FAULT

**MEMORIJA**

DMA

PERIFERIJA 2

PERIFERIJA 1

**Simulation parameters**

(Clk+) \*: 0

(Ins+) \*: 0

(Prg+) time: 0

n \* (Clk+) stop:

n \* (Ins+) stop:

(Prg+) time stop:

time = 0

inst. = Instruction fetch

Info		Command		
Sequence	Status	Navigation	Misc	Simulation
T = 00 PCout, MARin, Xin	PC = 0100	UP	More	Clk+
* Faza citanja instrukcije	T = 0	CPU hierar.	Clear	Ins+
* PC u MAR i X	Tclk = 0	Main	Help	Prg+
** Ozicena realizacija upravljacke jedinice				

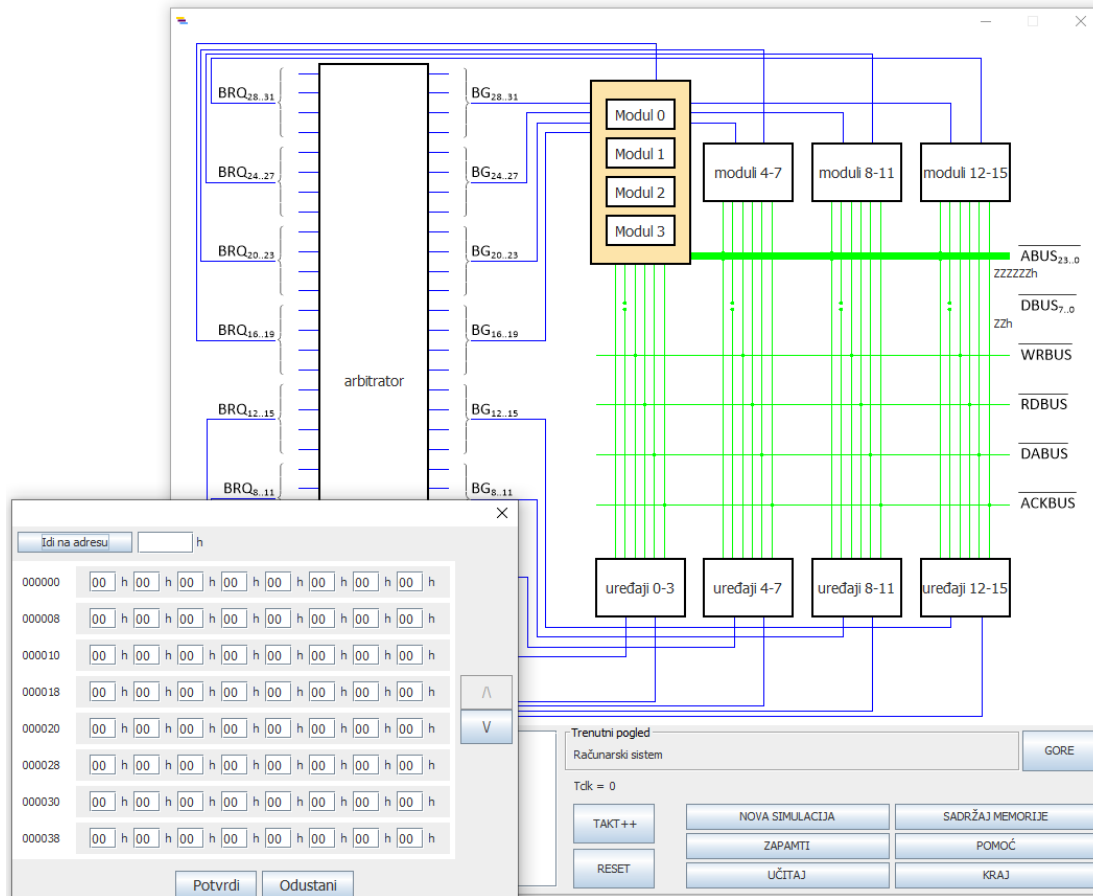
Hardware: CPU - Central Processing Unit  
Position: Central Processing Unit

Clock stop: -  
Status: time = 0

cpu

mem

# Архитектура и организација рачунара 1 (AOP1)





# Закључак

- Нема једног симулатора који се може користити без обзира на приступ изучавању одабраних области и од очекиваног нивоа детаља унутар симулатора.
- Користећи критеријуме описане у раду могуће је одредити симулаторе који би били кандидати за укључивање у наставу на појединим курсевима приликом изучавања појединих тема.
- На Електротехничком факултету Универзитета у Београду где се област архитектуре и организације рачунара изучава у оквиру 5 курсева и где се користи 10 различитих симулатора од којих су 6 поменути у овом раду.

ХВАЛА НА ПАЖЊИ!!!