

# BIT-X / SE-08

## Stress-Adaptive Analog Gating Circuit for Edge Sensors

Mạch Gating Tương Tự Thích Nghi Ứng Suất cho Cảm Biến Biên

Tác giả: Bùi Quang Trịnh · Nghiên cứu độc lập, Việt Nam · 2026

Zenodo SE-07: 10.5281/zenodo.20457031 · SE-08: 10.5281/zenodo.20501925 · GART: 10.5281/zenodo.20457606

### ABSTRACT

SE-08 ra đời sau khi SE-07 hoàn thành benchmark phần mềm. Câu hỏi tự nhiên tiếp theo: **nếu logic lọc tải  $\Omega(t)$  đã chứng minh được trong sandbox — liệu nó có thể được thực thi bằng phần cứng analog, không cần CPU?** SE-08 đề xuất kiến trúc mạch ba khối (Analog Absorption Core, Edge Isolation Gate, Schmitt Quantization Block) ánh xạ trực tiếp Stress Evolution PDE sang vật lý điện tử thụ động. Hệ thống chỉ phát xung số (spike) khi tín hiệu nằm trong hành lang sinh tồn  $[0.0225, 0.616]$ , CPU phía sau được miễn nhiệm hoàn toàn với rác dữ liệu trong bão tải. Đây là **proposed exploratory architecture** — chưa qua fabrication hay peer review, trình bày để cộng đồng kiểm chứng.

## I. Từ Phần Mềm đến Phần Cứng — Câu Hỏi Kế Tiếp

SE-07 đã chứng minh trong sandbox phần mềm: một van lọc tải thích nghi  $\Omega(t)$  có thể bảo vệ 8/8 nodes sống sót qua bão  $18\times$  mà không ngắt cứng. Benchmark Step 2 cho thấy topology tự phục hồi sau khi LCC rơi xuống 0.50.

Nhưng benchmark đó chạy trên CPU. Mỗi tick, CPU phải tính toán  $\Omega(t)$ , cập nhật  $A_{ij}(t)$ , kiểm tra Heaviside  $H(\Phi_i - \theta)$ . Nghĩa là CPU vẫn phải xử lý ngay cả trong bão tải — đúng cái điểm mà nó cần được bảo vệ nhất.

**Câu hỏi SE-08 đặt ra:** Có thể chuyển toàn bộ logic đó sang linh kiện thụ động — tụ điện, điện trở, MOSFET — để CPU không cần làm gì cho đến khi tín hiệu đã được lọc sạch?

Bộ não người tiêu thụ ~20 Watt. Cụm GPU chạy AI tiêu thụ hàng Megawatt. Sự chênh lệch đó phần lớn đến từ một điều: não không xử lý tín hiệu rác. SE-08 muốn học từ kiến trúc đó.

## II. Ánh Xạ: PDE → Mạch Điện

Trước khi mô tả mạch, cần thiết lập phép ánh xạ tường minh giữa SE-07 và vật lý điện tử:

Đại lượng SE-07	Linh kiện tương đương	Phương trình ánh xạ
Ứng suất $\Phi_i(t)$	Điện áp $V_i(t)$ trên tụ $C_i$	$\Phi_i \equiv V_i / V_{\text{ref}}$
Dòng xung kích $Wd_i(t)$	Nguồn dòng $I_{\text{in}}(t)$ từ cảm biến	$dV_i/dt = I_{\text{in}}/C_i + \dots$
Van xả tải $\gamma_{\text{valve}} \cdot \Phi_i$	Điện trở nối đất $R_{\text{leak}}$	$\gamma_{\text{valve}} \equiv 1/(R_{\text{leak}} \cdot C_i)$
Khuếch tán $\alpha \cdot \text{Laplacian}$	Memristor $M_{ij}$ giữa nút $i-j$	Dòng tràn tỷ lệ $(V_j - V_i)$

Đại lượng SE-07	Linh kiện tương đương	Phương trình ánh xạ
Heaviside $H(\Phi_i - \theta)$	Voltage Comparator + Diode Zener	Output HIGH khi $V_i > V_\theta$
Cắt cạnh $A_{ij} \rightarrow 0$	MOSFET ngắt mạch ( $G_{ij} = 0$ )	Gate = HIGH $\rightarrow$ channel off
Schmitt Trigger [BL, BH]	Schmitt Trigger với hysteresis	Spike khi $BL \leq V_i \leq BH$

**Giới hạn ánh xạ:** Phép ánh xạ RC  $\rightarrow$  PDE chỉ giải đúng một số hạng tiêu tán ( $-\gamma \cdot \Phi_i$ ). Số hạng Laplacian cần mạng memristor thực tế. Đây là hypothesis cần verification bằng SPICE simulation và đo đạc thực nghiệm.

### III. Kiến Trúc Ba Khối (Three-Block Architecture)

Mỗi node trong mạng cảm biến được trang bị một Boundary Spiking Gate gồm ba khối nối tiếp:

#### 3.1 Khối 1 — Analog Absorption Core

Khối này nhận trực tiếp tín hiệu analog từ cảm biến vật lý mà không qua ADC.

- Tụ điện  $C_i$**  — tích lũy điện áp  $V_i(t)$ , tương đương ứng suất  $\Phi_i$ . Điện áp tăng khi dòng vào mạnh (cực tính Hội tụ).
- Điện trở  $R_{leak}$**  — mắc song song với  $C_i$ , xả điện tích theo hàm mũ:  $V_i(t) = V_{i0} \cdot e^{-(t/RC)}$ . Thực thi  $\gamma_{valve}$  tự động, không cần lệnh CPU.
- Memristor  $M_{ij}$**  — nối giữa nút  $i$  và nút  $j$ . Khi  $V_i > V_j$ , dòng điện tràn tự nhiên sang nút lân cận — thực thi Laplacian khuếch tán mà không cần thuật toán định tuyến.

**Điểm mấu chốt:** Khối này không cần clock, không cần firmware. Vật lý RC tự giải phương trình tiêu tán liên tục 24/7 với công suất tiệm cận 0 khi idle.

#### 3.2 Khối 2 — Edge Isolation Gate (Van Tử Thủ)

Đây là cơ chế sinh tồn của toàn hệ thống. Nó thực thi Heaviside  $H(\Phi_i - \theta)$  bằng linh kiện cứng:

- Voltage Comparator** — đo liên tục điện áp  $V_i$ . Output HIGH khi  $V_i > V_\theta$  (ngưỡng an toàn, cấu hình bởi Diode Zener).
- Diode Zener** — ghim cứng ngưỡng  $V_\theta$  vào thực tại điện tử. Không thể bị software override.
- MOSFET ngắt mạch** — khi Comparator output HIGH, MOSFET tắt kênh dẫn,  $G_{ij}$  rơi về 0. Nút bị cô lập hoàn toàn về mặt vật lý trong vài nanosecond.

Ngưỡng  $V_\theta$  tương đương  $\theta=150$  trong SE-07 sandbox. Tuy nhiên giá trị tuyệt đối phụ thuộc vào điện áp cấp nguồn thực tế của mạch — cần calibration cho từng deployment.

#### 3.3 Khối 3 — Schmitt Quantization Block (TOUCH-01)

Khối này thực thi cơ chế 'đèn nháy' — chỉ phát spike khi tín hiệu an toàn:

- **Schmitt Trigger với hysteresis** — hai ngưỡng  $V_{high}$  và  $V_{low}$  tạo dead-band, chống chatter ON/OFF liên tục.
- **Hành lang spike**:  $V_{low} = 0.0225 \cdot V_{ref}$ ,  $V_{high} = 0.616 \cdot V_{ref}$  — ánh xạ trực tiếp từ  $\mu_{crit}$  và  $\mu_{nom}$  của SE-07.
- **Output**: Chuỗi xung vuông 0/1 sạch, an toàn để đưa thẳng vào interrupt line của MCU/CPU. CPU chỉ wake up khi nhận spike.

Điều kiện $V_i$	Khối 2 (MOSFET)	Khối 3 (Schmitt)	CPU nhận được
$V_i > V_{th}$ (quá tải)	NGẮT — cô lập	Không có input	Không có spike — ngủ đông
$V_i \in [0.0225, 0.616] \cdot V_{ref}$	MỞ — dẫn điện	Phát spike	Spike — xử lý
$V_i < 0.0225 \cdot V_{ref}$	MỞ — dẫn điện	Silent (dưới ngưỡng)	Không có spike — ngủ đông

## IV. Tại Sao SE-08 Khác Với Neuromorphic Chip Hiện Tại

SE-08 không phải chip neuromorphic theo nghĩa truyền thống. Sự khác biệt quan trọng cần làm rõ:

Tiêu chí	Intel Loihi 2 / TrueNorth	Schmitt Trigger chuẩn	SE-08 (proposed)
Mục tiêu chính	SNN learning, inference	Noise rejection fixed	Adaptive load gating
Threshold	Fixed per neuron	Fixed $V_{th}$	Adaptive theo stress history
Topology isolation	Không có (software-level)	Không có	MOSFET cut + memristor
CPU involvement	Có (host CPU)	Không cần	Zero khi idle/bão
Target application	AI inference, robotics	Signal conditioning	Ultra-low-power IoT edge
Complexity	Rất cao (millions of neurons)	Thấp	Trung bình (3 khối/node)

**Định vị chính xác:** SE-08 là stress-adaptive analog gating circuit cho ultra-low-power edge sensors — ngồi trước CPU/MCU, lọc nhiễu và bảo tải bằng vật lý điện tử thụ động, chỉ wake up processor khi tín hiệu thực sự có ý nghĩa.

## V. Simulation Kernel — Xác Nhận Hành Vi Hệ Thống

Để validate hành vi của kiến trúc ba khối trước khi xây dựng mạch thực, một simulation kernel đã được phát triển trong JavaScript/HTML với các đặc điểm:

- **N=7 nodes**, mỗi node độc lập với leak variation  $\pm 20\%$  (mô phỏng mismatch linh kiện thực tế)
- **Symmetry-broken initialization** —  $\Phi_i$  khởi tạo ngẫu nhiên, không đồng đều
- **Hysteresis Schmitt Trigger** với dead-band điều chỉnh được, chống chatter
- **Recovery timer** — đo tick-to-recovery sau shock injection
- **Targeted shock** — inject vào node cụ thể hoặc broadcast toàn mạng

Kết quả quan sát từ simulation (chưa phải thực nghiệm vật lý):

Test	Kết quả	Quan sát
A — Scale test (Wd 0.08 → 8.0)	PASS	Boundaries 0.0225/0.616 survive; extreme Wd → MOSFET cut
B — Targeted shock (node 3 only)	PASS	Diffusion sang nodes lân cận rõ ràng; rewiring sau shock
C — Chatter test ( $\theta \approx BH$ , oscillate)	PASS	Hysteresis dead-band ngăn ON/OFF liên tục
D — Recovery timer	MEASURED	Recovery phụ thuộc $\alpha$ , $\gamma_{\text{valve}}$ , $\beta_{\text{isolate}}$ — metric khả thi

## VI. Giới Hạn và Lộ Trình Kiểm Chứng

**Những gì SE-08 chưa làm được:**

- **Chưa fabrication:** Toàn bộ kiến trúc là proposed — chưa có mạch thực trên breadboard hay PCB
- **Ánh xạ RC ↔ PDE chưa đầy đủ:** Mạch RC đơn lẻ chỉ giải số hạng tiêu tán; số hạng Laplacian cần mạng memristor thực tế
- **0.616 và 0.0225 là design choice:** Chưa được dẫn xuất từ lý thuyết — cần nghiên cứu độc lập về nguồn gốc hai hằng số này
- **Memristor:** Linh kiện này vẫn đắt và khó kiếm ở quy mô nhỏ — có thể thay bằng RRAM hoặc mô phỏng bằng mạch CMOS tương đương
- **Chưa đo năng lượng thực tế:** Claim 'tiêu thụ tiệm cận 0' cần được đo bằng power analyzer trên mạch thực

**Lộ trình kiểm chứng đề xuất:**

Bước	Việc cần làm	Công cụ
1	SPICE simulation mạch RC + Comparator + MOSFET	LTspice (free) hoặc Ngspice
2	Breadboard prototype với op-amp comparator + MOSFET 2N7000	Arduino/STM32 + oscilloscope để đo $V_i(t)$
3	Đo power consumption khi idle vs burst	Current probe + power analyzer
4	So sánh với ADC-based baseline cùng sensor	Cùng điều kiện tải, đo latency và energy
5	PCB custom với RC + Schmitt + MOSFET tích hợp	KiCad (free) → JLCPCB fabrication

## VII. Kết Luận

SE-07 đặt câu hỏi: *điều gì xảy ra trước khi thông tin được đếm?* Nó trả lời bằng phần mềm sandbox — van lọc tải thích nghi và topology tự phục hồi.

SE-08 đặt câu hỏi tiếp: *liệu câu trả lời đó có thể được thực thi bằng điện trở và tụ điện, không cần CPU?* Nó đề xuất một kiến trúc ba khối ánh xạ Stress Evolution PDE sang vật lý điện tử thụ động.

Nếu kiến trúc này được xác nhận qua SPICE simulation và breadboard prototype, nó có thể mở ra một hướng mới cho ultra-low-power IoT edge sensing: cảm biến tự lọc nhiễu bằng vật lý, chỉ báo động khi tín hiệu thực sự vượt hành lang an toàn — không cần firmware, không cần ADC, không tốn năng lượng khi idle.

*Đây là proposed exploratory architecture. Chưa qua fabrication, chưa qua peer review. Tác giả công bố để cộng đồng kiểm chứng và phê bình. Nếu ý tưởng này đúng hướng, nó thuộc về tất cả mọi người. Nếu nó sai, tác giả muốn biết tại sao.*